

⑯ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 昭57—50391

⑮ Int. Cl.³
G 11 C 19/28

識別記号

府内整理番号
7343—5B

⑯公開 昭和57年(1982)3月24日

発明の数 1
審査請求 未請求

(全4頁)

⑭ 双方向シフトレジスタ

⑮ 特願 昭55—125758

⑯ 出願 昭55(1980)9月10日

⑰ 発明者 佐伯幸弘

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内

⑲ 発明者 重松朋久

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内

⑳ 出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉑ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

双方向シフトレジスタ

2. 特許請求の範囲

(1) 2つのクロック同期論理回路の一方の入力を他方の出力にそれぞれ接続し、その接続端の一方にトランスマッシュ・ゲートを接続することを特徴とする双方向シフトレジスタ。

(2) クロック同期論理回路はクロックドインバータである特許請求の範囲第1項記載の双方向シフトレジスタ。

(3) トランスマッシュ・ゲートはCMOS回路で構成したものである特許請求の範囲第1項記載の双方向シフトレジスタ。

3. 発明の詳細な説明

本発明は集積回路に好適な双方向シフトレジスタに関する。

一般にシフトレジスタは、ディジタル集積回路においてデータの保持、遅延などに非常によく用いられる回路である。たとえばデータを2

進数に変換し、それをピットシリアルに転送する場合、タイミング合せ回路として使用される。このとき、データを最下位桁から始めて最上位桁で終るよう転送した場合、1ビットの遅延を挿入することは、この遅延を入れない場合に比べて1桁だけ桁上げを行なったことに相当し、換言すれば「2」を乗じたことになる。一方、遅延を挿入されたデータから見れば、遅延なしのデータは1桁だけ桁下げが行なわれたことになり、「2」で割られたデータということになる。このように、あるデータに対してそれを1ビット遅らせたデータは「2」がかけられ、1ビット進めたデータは「2」で割られたデータとなる。このように、データを2倍、 2^2 倍、 2^3 倍、…もしくは $1/2$ 、 $1/2^2$ 、 $1/2^3$ 、…としたい場合は双方向シフトレジスタがあれば非常に便利である。

従来のこのような双方向シフトレジスタは、第1図に示すような回路構成となっていた。なお、この例では4ビット分のシフトレジスタ構

成となっている。すなわち、各ビットごとのデータ転送は、D形フリップフロップ1, 2, 3, 4によりクロックパルスC.P.に同期して行われ、各フリップフロップ1, 2, 3, 4の入力側にはアンド回路5, 6とオア回路7が接続されている。そして、右シフトと左シフトの切り換えは切換信号R/Lによって行われ、この切換信号R/Lが“1”的とき右シフト動作となり、右シフトデータ入力端子I_Rから入力されたデータが右シフトデータ出力端子O_Rに転送される。一方、切換信号R/Lが“0”的とき左シフト動作となり、左シフトデータ入力端子I_Lから入力されたデータが左シフトデータ出力端子O_Lに転送される。

ところが、上述した従来の双方向シフトレジスタでは、各フリップフロップ1, 2, 3, 4の入力側にはアンド、アンド、オアという複雑なゲート回路が必要であり、しかも配線が複雑であるばかりでなく、集積回路の設計製造においては配線およびゲート回路による面積の増大

3

につながるという重大な欠点があった。

本発明は上記事情に鑑みてなされたもので、その目的とするところは、2つのクロック同期論理回路の一方の入力を他方の出力にそれぞれ接続し、その接続端の一方にトランスマッティングゲートを接続して1ビット分を構成することにより、素子数の低減を図り、きわめて簡単な回路で集積回路上での面積を縮少することができる双方向シフトレジスタを提供することにある。

以下、本発明の一実施例について図面を参照して説明する。

第2図は双方向シフトレジスタの1ビット分を示すもので、2つのクロック同期論理回路、たとえばクロックドインバータ21, 22を互いに一方の入力と他方の出力をそれぞれ接続し、その一方の接続端23にトランスマッティングゲート24を接続して1ビット分の回路を構成している。

このような構成において動作を説明する。左

4

側V_{DD}を接続し、他方端側のトランジスタ34のドレインを接地する。そして、トランジスタ32, 33のゲートを共通接続して入力端子35に接続し、そのソース・ドレイン共通接続点を出力端子36に接続してなる。しかし、トランジスタ34のゲートに印加されるクロックφが“1”的とき、出力端子36には入力端子35の反転信号が得られ、クロックφが“0”的ときは出力が高インピーダンス状態となる。

このように構成された動作する1ビット分の双方向シフトレジスタをカスケード接続することにより、任意ビット数の双方向シフトレジスタが構成できる。たとえば第4図に4ビット分カスケード接続した場合の回路例を示す。なお、第2図と同一部分には同一符号を付して説明する。すなわち、第2図に示す構成の1ビット分のシフトレジスタを4ビット分カスケード接続し、さらに左シフト時の入力端にトランスマッティングゲート41を接続して構成される。そして、各クロックドインバータ21, 22のクロッ

クトに入力されるクロックφ₁が“1”的ときオンとなり、“0”的ときオフとなるものとする。この回路で右シフトの場合、データはトランスマッティングゲート24および一方のクロックドインバータ21を通って右へ転送される。このときクロックφ₂は“0”としておくことにより、他方のクロックドインバータ22の出力は高インピーダンス状態となるため、転送するデータには影響を与えない。一方、左シフトの場合、データは他方のクロックドインバータ22およびトランスマッティングゲート24を通って左へ転送される。このときクロックφ₂は“0”としておくことにより、一方のクロックドインバータ21の出力は高インピーダンス状態となる。

第3図にクロックドインバータの具体的な回路構成例を示す。すなわち、4つの電界効果トランジスタ31, 32, 33, 34を隣り合うトランジスタの間でソースとドレインとを接続し、一方端側のトランジスタ31のソースに箇

5

—524—

6

挿入されたものである。

すなわち、右シフトさせる場合は、アンド回路42に第5図に示すクロック ϕ_2 および制御信号Rを印加することにより、アンド回路42の出力には第5図に示すパルスR· ϕ_2 が得られ、このパルスR· ϕ_2 が各クロックドインバータ21, 21…に印加される。これにより、右シフトデータ入力端子45から入力されたデータはシフトレジスタを順次転送され、右シフトデータ出力端子46に転送出力が得られる。一方、左シフトさせる場合は、アンド回路43, 44に第5図に示すクロック ϕ_1 , ϕ_2 および制御信号Lを印加することにより、アンド回路43の出力には第5図に示すパルスL· ϕ_2 が得られ、このパルスL· ϕ_2 が各クロックドインバータ22, 22…に印加される。これにより、左シフトデータ入力端子47から入力されたデータは上記の場合とは逆方向に順次転送され、左シフトデータ出力端子48に転送出力が得られる。

このように構成された双方向シフトレジスタ

8

構成することにより、素子数の低減を図り、きわめて簡単な回路で集積回路上での面積を縮少することができる双方向シフトレジスタを提供できる。

4. 図面の簡単な説明

第1図は従来の双方向シフトレジスタの構成を示す回路図、第2図ないし第5図は本発明の一実施例を示すもので、第2図は1ビット分の双方向シフトレジスタの構成を示す回路図、第3図は第2図におけるクロックドインバータの具体的な回路例を示す構成図、第4図は第2図のシフトレジスタを4ビット分カスクード接続した場合の回路構成図、第5図は第4図の動作を説明するためのタイミングチャートである。

21, 22…クロックドインバータ(クロック同期論理回路)、24, 41…トランスマッシュ・シングート、42, 43, 44…アンド回路。

クゲートにはアンドゲート回路42, 43を介してクロック ϕ_2 が印加され、また各トランスマッシュ・シングート24のゲートにはクロック ϕ_1 が印加され、さらにトランスマッシュ・シングート41のゲートにはアンド回路44を介してクロック ϕ_1 が印加されるよう構成されている。

このように構成された双方向レジスタは第5図に示す2相のクロック ϕ_1 , ϕ_2 に同期したダイナミック動作となる。そして、アンド回路42に印加される制御信号R(第5図参照)は右シフト時に“1”となり、これによって右シフト動作となり、またアンド回路43, 44に印加される制御信号L(第5図参照)は左シフト時に“1”となり、これによって左シフト動作となる。したがって、第2図においてクロックドインバータ21, 22に入力されるクロック ϕ_R , ϕ_L は、第4図ではそれぞれR× ϕ_2 およびL× ϕ_2 (第5図参照)という信号になっている。なお、トランスマッシュ・シングート41は左シフト時の入力信号をクロック ϕ_1 に同期させるために

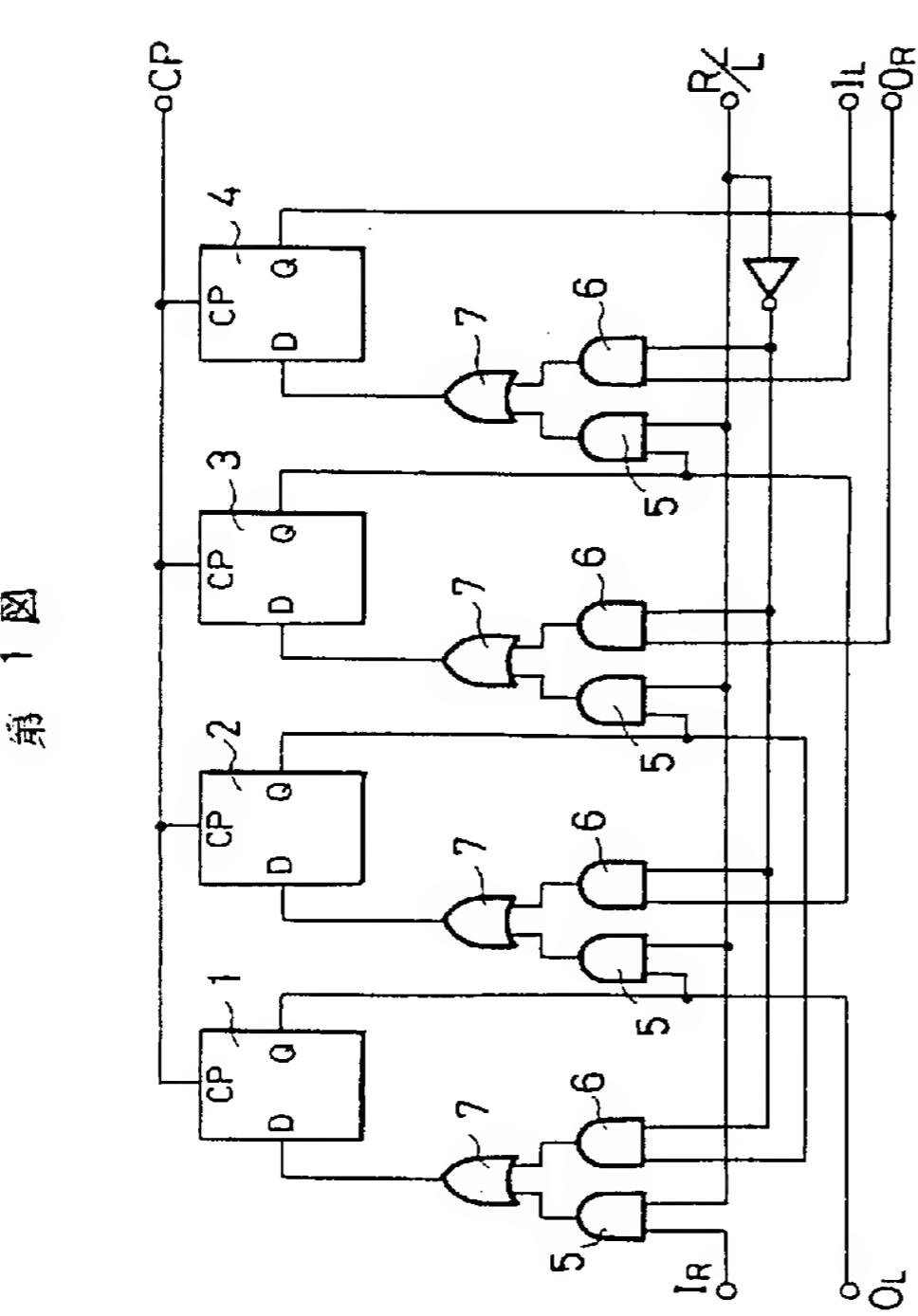
7

は、クロックドインバータとトランスマッシュ・シングートとからなるきわめて簡単な回路構成で実現できる。また、トランスマッシュ・シングートを右シフトおよび左シフトの両方に用いることができるので、素子数の低減を図ることができ。したがって、回路上での面積を著しく縮少することができる。

なお、前記実施例におけるトランスマッシュ・シングートはPチャンネルMOS-FETとNチャンネルMOS-FETとからなるCMOS回路で構成してもよい。また、クロック同期論理回路はクロックドインバータに限らず、他の回路であっても同様に実施し得る。また、クロックは ϕ_1 , ϕ_2 の2相の場合を例にあげたが、一相クロック ϕ を用い、 ϕ を ϕ_1 に、その反転 $\bar{\phi}$ を ϕ_2 に対応させて用いても機能は変わらない。

以上詳述したように本発明によれば、2つのクロック同期論理回路の一方の入力を他方の出力にそれぞれ接続し、その接続端の一方にトランスマッシュ・シングートを接続して1ビット分を

出願人代理人弁理士鈴江武彦



第一圖

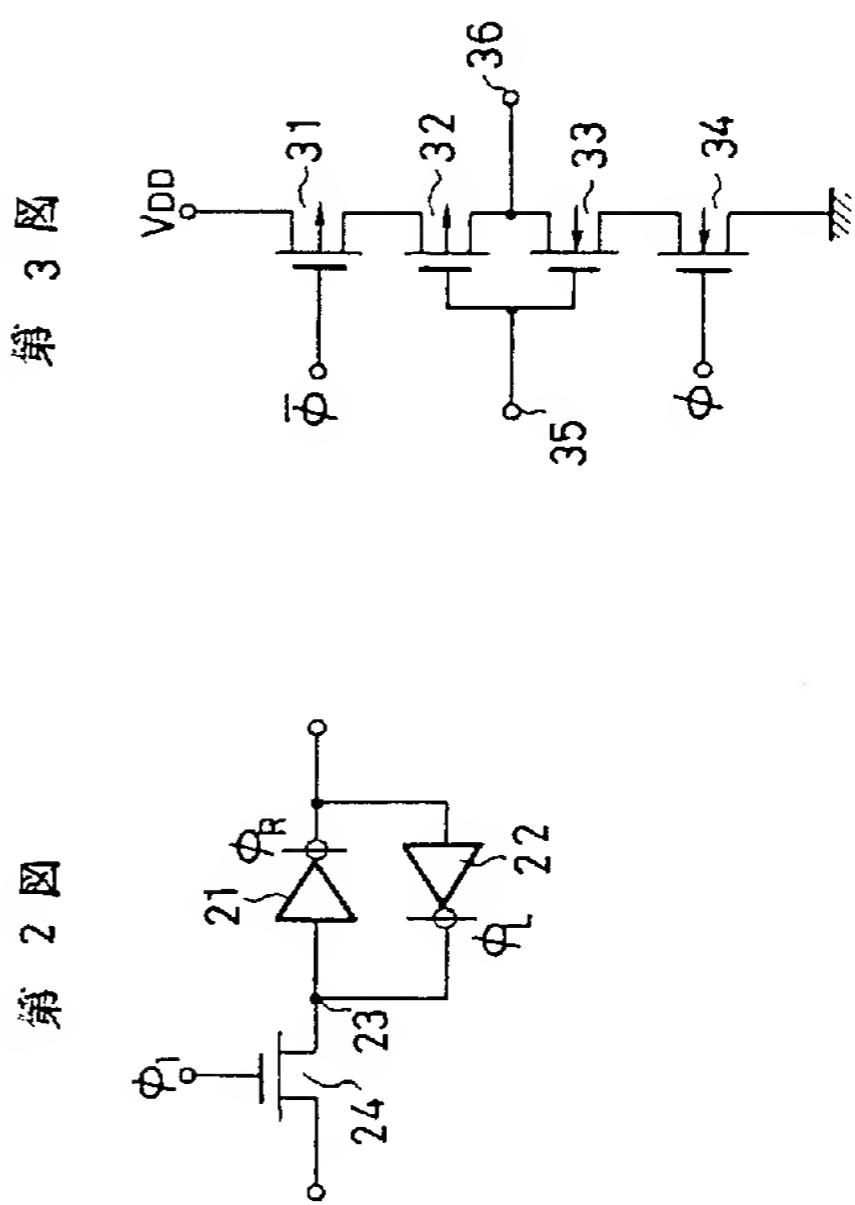
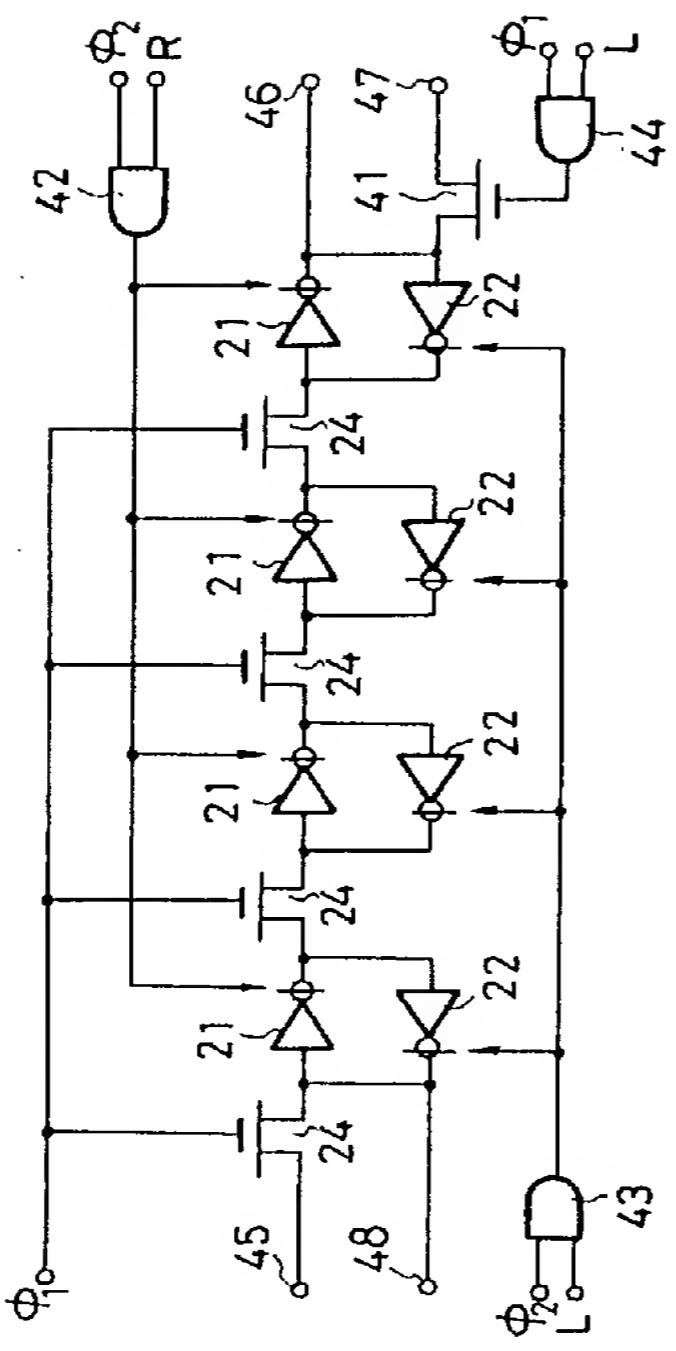
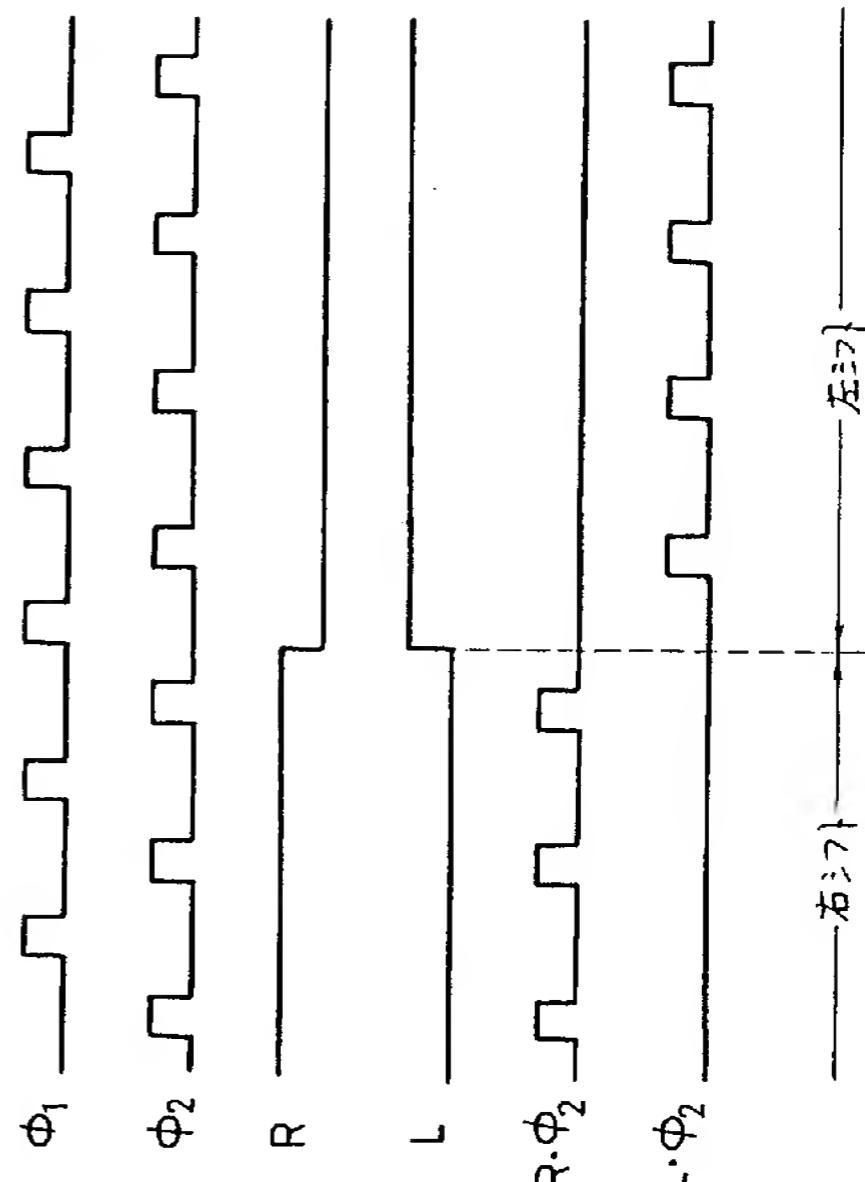


圖 2 第



四圖



PAT-NO: JP357050391A
**DOCUMENT-
IDENTIFIER:** JP 57050391 A
TITLE: TWO-WAY SHIFT
REGISTER
PUBN-DATE: March 24, 1982

INVENTOR-INFORMATION:

NAME	COUNTRY
SAEKI, YUKIHIRO	
SHIGEMATSU, TOMOHISA	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP55125758
APPL-DATE: September 10, 1980

INT-CL (IPC): G11C019/28

US-CL-CURRENT: 377/64

ABSTRACT:

PURPOSE: To reduce the number of

elements to realize a simple and miniature constitution for a two-way shift register, by connecting two pairs of clock synchronous logical circuits in a prescribed way and providing a transmission gate at the end of connection to form a 1-bit circuit.

CONSTITUTION: One output is connected to the other input among two pairs of clocked inverters 21 and 22 each other, and a transmission gate 24 is connected to a connecting point 23 to obtain a circuit equivalent to a bit of a shift register. When the gate 24 is turned on by a clock ϕ_1 , the data is shifted to right via the inverter 21. In this case, a clock ϕ_L is set at zero and thus the output of the inverter 22 is set at a high impedance without affecting the transfer data. In the same way, the data is shifted to left via the inverter 22 when the transmission gate conducts to the bit circuit of a digit right-above. As a result, a number of gate circuits is eliminated to obtain a two-way shift register having a reduced number of elements and a small occupied area with a simple and miniature constitution.

COPYRIGHT: (C)1982,JPO&Japio